

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-075108  
(43)Date of publication of application : 17.03.1998

(51)Int.Cl.

H01P 3/00  
H01P 3/12  
H01P 11/00

(21)Application number : 08-229925  
(22)Date of filing : 30.08.1996

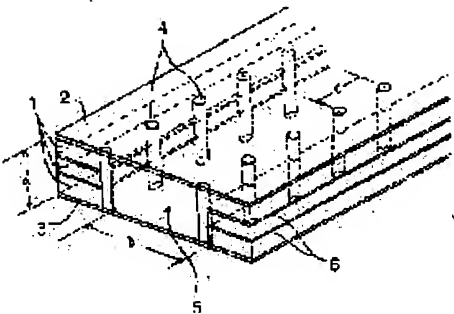
(71)Applicant : KYOCERA CORP  
(72)Inventor : UCHIMURA HIROSHI

### (54) DIELECTRIC WAVEGUIDE LINE AND WIRING SUBSTRATE

#### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a dielectric waveguide line with stable characteristics in a high-frequency area which can be used as a transmission line in a multilayered substrate with high density or a semiconductor package, and which can be easily manufactured by using a laminating technique.

SOLUTION: This device is provided with a pair of main conductive layers 2 and 3, interposing a dielectric substrate 1, a dielectric waveguide line 5 formed of an area surrounded by a via hole 4 group in two rows formed for electrically connecting the main conductive layers 2 and 3 with intervals less than an interrupting wavelength in a signal transmitting direction, and a sub-conductive layer 6 formed between the main conductive layers 2 and 3, and electrically connected with the via the hole 4 group. Moreover, the dielectric substrate 1 is constituted of ceramic materials, so that the stability of characteristics in a high-frequency area can be improved.



#### LEGAL STATUS

[Date of request for examination]

18.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 7 5 1 0 8

(43) 公開日 平成10年(1998)3月17日

(51) Int. Cl. 6	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P	3/00		H 0 1 P	3/00
	3/12			3/12
	11/00			11/00
				A

審査請求 未請求 請求項の数 4

OL

(全 6 頁)

(21) 出願番号 特願平8-229925

(22) 出願日 平成8年(1996)8月30日

(71) 出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72) 発明者 内村 弘志

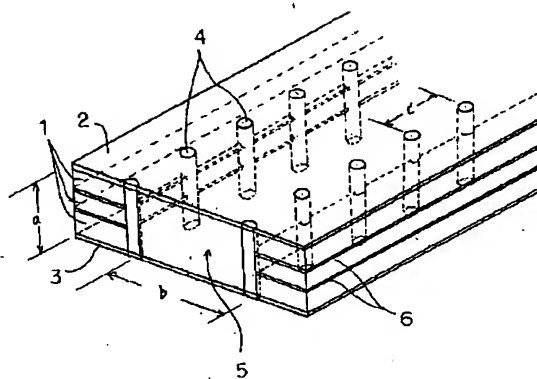
鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内

(54) 【発明の名称】 誘電体導波管線路および配線基板

(57) 【要約】

【課題】 高密度の多層基板あるいは半導体パッケージにおける伝送線路として利用可能であり、積層化技術を用いて容易に作製可能な高周波領域において特性の安定した誘電体導波管線路を提供する。

【解決手段】 誘電体基板 1 を挟持する一対の主導体層 2、3 と、信号伝達方向に遮断波長以下の間隔で、前記主導体層 2、3 間を電氣的に接続するように形成された二列のビアホール 4 群で囲まれた領域によって誘電体導波管線路 5 を形成し、主導体層 2、3 間に形成され、且つビアホール 4 群と電氣的に接続された副導体層 6 を形成する。さらに、誘電体基板 1 をセラミック材料によって構成することによって、高周波領域での特性の安定性を向上させる。



## 【特許請求の範囲】

【請求項1】誘電体基板を挟持する一対の主導体層と、信号伝達方向に遮断波長以下の間隔で前記導体層間を電氣的に接続するように形成された二列のビアホール群と、前記導体層間に前記ビアホールと電氣的に接続され且つ前記導体層と平行に形成された副導体層とを具備し、前記主導体層、前記ビアホール群および前記副導体層に囲まれた領域によって電気信号を伝達することを特徴とする誘電体導波管線路。

【請求項2】前記誘電体基板がセラミック材料からなることを特徴とする請求項1記載の誘電体導波管線路。

【請求項3】誘電体基板に電気信号を伝達するための線路が形成された配線基板において、前記線路は、誘電体基板を挟持する一対の主導体層と、信号伝達方向に遮断波長以下の間隔で前記導体層間を電氣的に接続するように形成された二列のビアホール群と、前記導体層間に前記ビアホールと電氣的に接続され且つ前記導体層と平行に形成された副導体層とを具備することを特徴とする配線基板。

【請求項4】前記誘電体基板がセラミック材料からなることを特徴とする請求項3記載の配線基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、主にマイクロ波及びミリ波等の高周波の信号を伝達するための誘電体導波管線路およびそれを具備する多層配線基板や半導体パッケージなどの配線基板に関するものである。

## 【0002】

【従来技術】従来より、マイクロ波やミリ波の高周波の信号を伝達するための線路としては、導波管、誘電体導波管、ストリップ線路、マイクロストリップ線路等が知られている。

【0003】また、特開平6-53711号においては、図3に示すように、誘電体基板11を一対の導体層12、13で挟み、さらに導体層12、13間を接続する二列の複数のビアホール14によって側壁を形成した導波管線路も提案されている。この導波管線路は、誘電体材料の四方を導体層12、13とビアホール14による疑似的な導体壁で囲むことによって、導体壁内領域15を信号伝達用の線路としたものである。

## 【0004】

【発明が解決しようとする課題】しかし、これら従来の線路には、次のような問題点がある。まず、ストリップ線路またはマイクロストリップ線路はその構成が非常に簡単で、積層化技術による作製に適しているが、30GHz以上のミリ波帯では伝送特性が劣化するという問題点がある。

【0005】一方、導波管は伝送特性において非常に優れているが、サイズの大きいという欠点がある。例えば、60GHz用の標準的な矩形導波管であってもその

内径は3.76mm×1.88mmであり、マイクロ波またはミリ波用の多層基板あるいは半導体パッケージに適用するには大きすぎる。これに対して、その内部に誘電体が詰まった誘電体導波管は、誘電体の比誘電率を $\epsilon$ とすると、導波管サイズは $1/\epsilon^{1/2}$ となるので、比誘電率の大きい誘電体を用いることによって、導波管のサイズを小さくすることが出来る。しかし、基本的には誘電体の外側は導体壁で覆われている必要があるため、積層化技術により作製する事は困難であった。

【0006】また、特開平6-53711号に示されている誘電体基板を用いた導波管線路は、誘電体基板と導波管との一体化を図るとともに、生産性の向上を図るという点で優れたものである。しかし、使用する周波数のわずかな変動によって透過特性が変動するという問題があった。また、誘電体基板の比誘電率が低い場合、多層基板または半導体パッケージに適用するためには、使用する周波数が限られる。例えば、伝送線路幅を1mm以下にするためには約100GHz以上の高周波域でないと実現できない。また、多くの誘電体基板は誘電正接が大きいと、導波管構造をとっても誘電損失が大きいという問題点があった。

【0007】従って、本発明の目的は、多層基板あるいは半導体パッケージにおける伝送線路として利用可能であり、積層化技術を用いて容易に作製可能な誘電体導波管線路と配線基板を提供することにある。

## 【0008】

【課題を解決するための手段】発明者は上記の問題点に関して検討を重ねた結果、従来の誘電体導波管の側面に導体壁に代わり多数のビアホールによって囲むとともにこのビアホールと電氣的に接続された副導体層を形成することによって優れた伝送特性が得られること、また、望ましくは誘電体基板を高誘電率のセラミックスによって形成する場合、マイクロ波やミリ波まで対応可能で通常の高周波化技術によって容易に作製でき、高密度の配線基板やパッケージ等に適用できる線路が得られることを見だし、本発明に至った。

【0009】即ち、本発明の誘電体導波管線路は、誘電体基板を挟持する一対の主導体層と、信号伝達方向に遮断波長以下の間隔で、前記導体層間を電氣的に接続するように形成された二列のビアホール群で囲まれた領域によって形成されてなる誘電体導波管線路であって、前記導体層間に前記ビアホールと電氣的に接続され且つ前記導体層と平行に副導体層を形成したことを特徴とするものである。また、かかる誘電体導波管線路を配線基板における電気信号を伝達するための線路として形成したことを特徴とするもので、さらには、前記誘電体基板をセラミック材料によって構成したことを特徴とするものである。

## 【0010】

【発明の実施の形態】以下、本発明を図面を参照しながら

ら説明する。図1は、本発明の誘電体導波管線路の一実施例を説明するための概略斜視図である。図1において、1は誘電体基板、2、3は主導体層、4はバイアホールである。

【0011】図1によれば、所定の厚みaの誘電体基板1を挟持する位置に一对の導体層2、3が形成されている。導体層2、3は、誘電体基板1の少なくとも線路形成位置を挟む上下面の一面に形成されている。また、導体層2、3間には、導体層2、3とを電氣的に接続するバイアホール4が多数設けられている。バイアホール4は、所定間隔bをもって二列に信号伝達方向、つまり線路形成方向に所定間隔cをもって形成されている。所定間隔aに対する制限は特にないが、シングルモードで用いる場合には、前記間隔bに対して、 $b/2$ 程度または2b程度とすることがよく、所定間隔cは、遮断波長以下の間隔に設定されることで電氣的な壁を形成している。

【0012】平行におかれた一对の導体層2、3間にはTEM波が伝播できるため、バイアホール4の間隔cが遮断波長 $\lambda_c$ よりも大きいと、この線路に電磁波を給電しても、ここで作られる疑似的な導波管に沿って伝播しない。しかし、バイアホール間隔cが遮断波長 $\lambda_c$ よりも小さいと、電磁波は伝送線路に対して垂直方向に伝播することができず、反射しながら伝送線路方向に伝播される。その結果、図1の構成によれば、導体層2、3および多数のバイアホール4群によって囲まれる断面積が $a \times b$ のサイズの領域が誘電体導波管線路5となる。

【0013】なお、この図1の態様では、バイアホール4群は二列に形成したが、このバイアホール3群を四列、あるいは六列に配設して、バイアホール4による疑似的な導体壁を二重、三重に形成することにより、導体壁からの電磁波の漏れをより防止することができる。

【0014】上記の導波管線路によれば、誘電体導波管となるので誘電体基板1の比誘電率を $\epsilon$ とすると、導波管サイズは通常の導波管の $1/\epsilon^{1/2}$ の大きくなる。従って、誘電体基板1を比誘電率の大きい材料によって構成するほど、導波管サイズは小さくすることができ、高密度に配線が形成される多層配線基板または半導体パッケージの伝送線路として利用可能な大きくなる。

【0015】本発明における誘電体基板1としては、誘電体として機能し高周波信号の伝達を妨げることのない特性を有するものであれば、とりわけ限定するものではないが、後述するように、線路を形成する際の精度および製造の容易性の点からは誘電体基板1は、セラミックスからなることが望ましい。

【0016】誘電体セラミックスとしては、これまで、様々な比誘電率を持つセラミックスが知られているが、本発明の導波管線路によって高周波の信号を伝達するためには、誘電体セラミックスは常誘電体であることが望ましい。これは、一般に強誘電体セラミックスは、高周

波領域では誘電損失が大きく伝送損失が大きくなるためである。従って、誘電体基板の比誘電率は4~100程度が適当である。

【0017】また、一般に配線基板やパッケージに形成される配線層の線幅は最大でも1mmであることから、比誘電率100の材料を用い、上部がH面、即ち時間が上限の面に平行に巻く電磁界分布になるように用いた場合、用いることのできる最小の周波数は15GHzと算出され、マイクロ波領域でも利用可能となる。一方、一般的に誘電体基板として樹脂が用いられるが、この樹脂からなる誘電体は比誘電率が約2程度であるため、線幅が1mmの場合、約100GHz以上でないと利用することができない。

【0018】また、このような常誘電体セラミックスの中には、アルミナ、シリカ等のように誘電正接が非常に小さなものが多いが、全ての常誘電体を利用可能であるわけではない。導波管の場合、導体による損失はほとんどなく、信号伝送時の損失のほとんどは誘電体による損失である。誘電体による損失 $\alpha$  (dB/m)は、下記のように表される。

【0019】

$$\alpha = 27.3 \cdot \tan \delta / \lambda / \{1 - (\lambda / \lambda_c)^2\}^{1/2}$$

式中、 $\tan \delta$  : 誘電体の誘電正接

$\lambda$  : 誘電体中の波長、

$\lambda_c$  : 遮断波長

規格化された矩形導波管(WRJシリーズ)形状に準ずると、数1中の $\{1 - (\lambda / \lambda_c)^2\}^{1/2}$ は0.75程度である。従って、実用に共し得る伝送損失100 (dB/m)以下にするには、下記の関係が成立するように誘電体を選択することが必要である。

$$f \cdot \epsilon^{1/2} \cdot \tan \delta \leq 0.8$$

式中、fは使用する周波数(GHz)である。

【0021】さらに、本発明によれば、前記主導体層2、3の間に、導波管線路の側壁を形成するバイアホール4と接続され、主導体層2、3と平行に形成された副導体層6を具備するものである。この副導体層6の形成によって、導波管線路内部から見ると、線路の側壁はバイアホール4と副導体層6によって細かな格子状になっている。従って、線路からの電磁波の遮蔽効果を高めることができる。

【0022】図2に図1の構造の導波管線路の製造方法を示す。この製造方法では誘電体基板1としてセラミックスを用いた場合について説明するもので、セラミックス多層化技術と同様な方法で容易に作製できる。

【0023】図2によれば、まず、誘電体基板1を形成し得るセラミック粉末をドクターブレード法や圧延法によってシート状成形体(グリーンシート)を作製する。

【0024】そして、図2に示すように、グリーンシート7に対して、それぞれの層に応じてメタライズインク

を印刷塗布したり、ホールを形成してメタライズインクを充填する。具体的には、第1層目のグリーンシート7Aには、上面全面に主導体層2が形成され、またホールが間隔bで2列に配設され、ホール内にインクを充填して線路方向に間隔cにパイアホール4群が形成される。第2層目のグリーンシート7Bには、副導体層6が、線路間隔bの線路形成部分以外の領域に形成され、またその線路脇には副導体層6と電氣的に接続される位置にホールが形成されインクが充填されてパイアホール4群が間隔cをもって配設される。そして、グリーンシート7Cには、上面にグリーンシート7Bに形成したのと同様な副導体層6が形成され、下面には、主導体層3が下面全面に形成され、線路脇には、副導体層6と主導体層3と電氣的に接続するようにパイアホール群4が間隔cをもって配設される。

【0025】そして、上記のグリーンシート7A、7B、7Cのパイアホール4が整合するように積層した後、これらを同時焼成することにより、本発明の導波管線路を形成することができる。

【0026】この同時焼成技術によって製造する場合、例えば、誘電体セラミックスが、アルミナである場合、主導体層、副導体層、パイアホールは、W、Mo等の高融点金属によって形成し、誘電体セラミックスがガラスセラミックス等の場合には、主導体層、副導体層、パイアホールは、銅、銀等によって形成すればよい。

【0027】上記の図1、図2は、誘電体導波管線路の構造にのみ着目して説明したが、かかる導波管線路は、高周波信号を取り扱う多層配線基板や半導体パッケージ等における信号伝達を担う1つの線路として、他のマイクロストリップ、ストリップ、コプレーナ等の高周波伝送線路や、配線層、パイアホール、スルーホールとともに基板内に配設されるものである。

【0028】

【実施例】

比較例

40GHzでの誘電特性が、比誘電率9.6、誘電正接( $\tan \delta$ )0.006のガラスセラミックスを誘電体基板1として用い、主導体層およびパイアホールを銅メタライズによって形成し、900℃で同時焼成して、図1において、副導体層を形成せずに導波管線路を形成した。なお、 $f \cdot \epsilon^{1/2} \cdot \tan \delta$ は、周波数fが0~43GHzの範囲で0.8以下である。

【0029】サイズは誘電体厚みa=1mm、線路幅b

=2mm(WRJ-34規格対応)である。また、パイアホール間隔c=1mmで、パイアホール径を0.16mm、線路の長さは25mmとした。この導波管線路の伝送特性を評価した結果を図5に示す。導波管入力部の損失は-2dB程度あると考えられるが、30GHz以上でS21が-5dB程度の特性が得られた。

【0030】実施例1

層構成を図1のように、2層の副導体層6を形成する以外は、比較例1と同様にして同じサイズの導波管線路を形成した。ただし、誘電体セラミックス基板1は、図1、2に示すように、厚さ0.33mmのものの3層積層構造とした。図4にその伝送特性の評価結果を示す。伝送特性は副導体層を設けない場合の図5と比較して優れ、25GHz~40GHzでS21が-2.5dB程度の優れた特性が得られた。特に、25GHz以上の高周波領域において、S21がフラットになっており、周波数の変動に対して特性が安定していることがわかる。

【0031】

【発明の効果】以上詳述した通り、本発明の導波管線路は、導波管線路の側壁をパイアホールによって形成するとともに、パイアホールに接続される副導体層を形成することによって、さらには誘電体基板をセラミックスによって構成することによって、従来のセラミックス積層技術を応用して容易に作製することができ、また、比誘電率の高いセラミックスを用いることによって高密度配線の多層配線基板や半導体パッケージ等に十分適用でき、マイクロ波からミリ波まで安定した特性の導波管線路を形成することができる。

【図面の簡単な説明】

【図1】本発明における導波管線路の態様を説明するための概略斜視図である。

【図2】図1の導波管線路の製造方法を説明するための概略斜視図である。

【図3】従来の導波管線路を説明するための概略斜視図である。

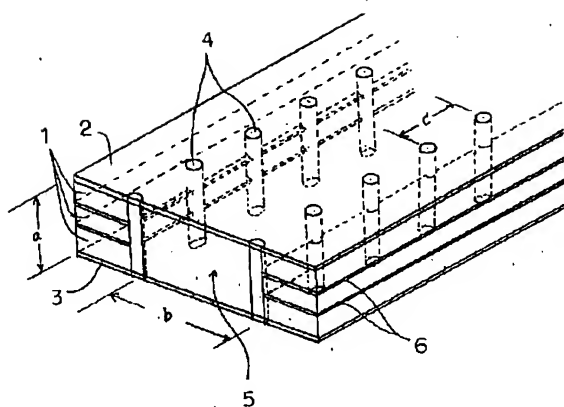
【図4】図1の導波管線路の伝送特性を示す図である。

【図5】図3の導波管線路の伝送特性を示す図である。

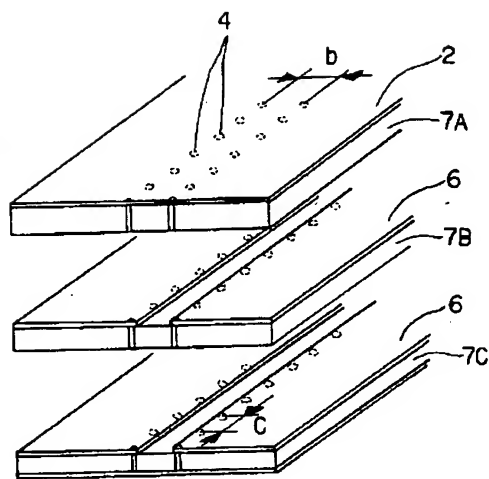
【符号の説明】

- 1 誘電体基板
- 2、3 主導体層
- 4 パイアホール
- 5 導波管線路
- 6 副導体層

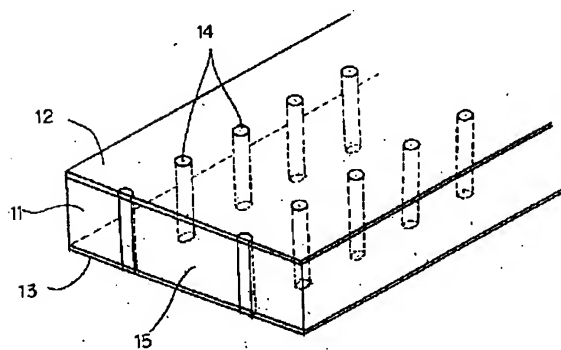
【図1】



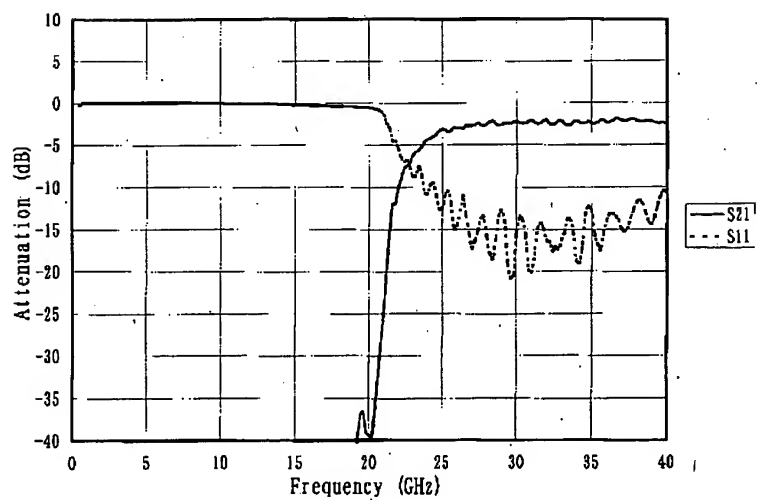
【図2】



【図3】



【図4】



【図5】

